

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-198012

(43)Date of publication of application : 31.07.1997

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/133

(21)Application number : 08-009707

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 24.01.1996

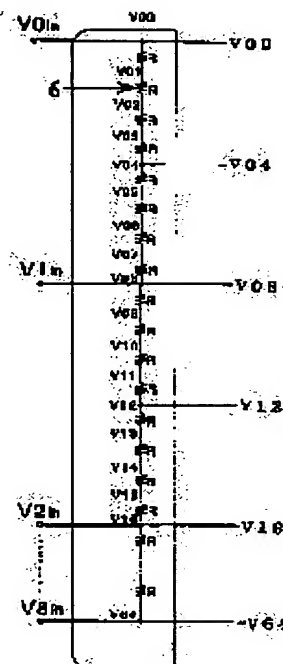
(72)Inventor : GOTO MITSURU
YU HIRONOBU
ONOTE YUKIHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make the number of switches and the number of gradation voltage lines smaller than the number of display gradations by generating the gradation voltages having N levels from gradation voltages in which the gradation voltages having M levels are adjacent and outputting one level among them to respective video signal line while selecting it.

SOLUTION: The gradation voltages having 65 levels are generated by voltage-dividing gradation reference voltages (V0-V8) having 9 values inputted from an internal power source circuit by resistor group for voltage-division having 8 resistors between respective gradation reference voltages and constituted of 64 series resistors (Rs) and gradation voltages having M levels (in this case, M is 17) among them are outputted to the gradation voltage selection circuit of the output circuit in a drain driver via voltage busses. That is, gradation voltages being the same number as the number of gradations are not outputted to the output circuit in the drain driver via voltage busses but the gradation voltages having M levels are generated and outputted to the gradation voltage selection circuit of the output circuit via the voltage busses.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-198012

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	5 7 5			5 7 5

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願平8-9707

(22) 出願日 平成8年(1996)1月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 後藤 充

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 勇 広宣

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 秋田 収喜

最終頁に続く

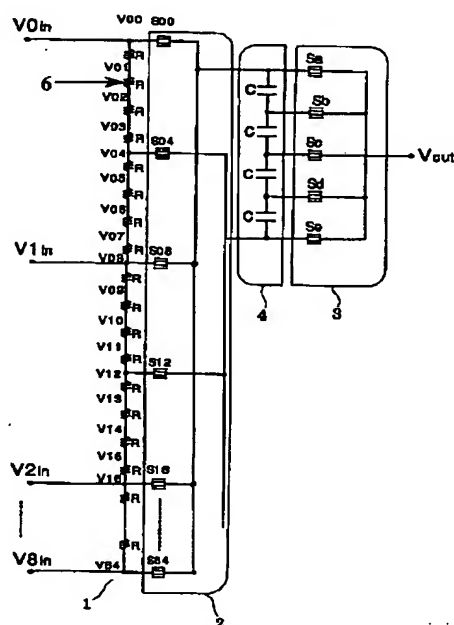
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ドレインドライバのサイズを大型化することなく、多階調表示が可能で、狭額縁化に対応可能な液晶表示装置を提供する。

【解決手段】 複数の映像信号線と複数の走査信号線との交差領域内にマトリクス状に配置される複数の画素を備える液晶パネルと、階調基準電圧を出力する電源回路と、各映像信号線に階調電圧を出力する映像信号線駆動回路とを具備する液晶表示装置において、映像信号線駆動回路が、電源回路から出力されるk個の階調基準電圧を分圧してM階調の階調電圧を生成する階調電圧生成手段と、各映像信号線毎に設けられ、表示用データに基づいて階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧からN階調の階調電圧を生成するとともに、その中の1つを選択して各映像信号線に出力する出力手段とを有する。

図 5



【特許請求の範囲】

【請求項 1】 複数の映像信号線と、前記複数の映像信号線に直行する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差領域内にマトリクス状に配置される複数の画素とを備え、前記各映像信号線により前記列方向の画素に階調電圧を印加し、前記各走査信号線により前記行方向の画素に走査信号電圧を印加する液晶パネルと、 k 個の階調基準電圧を出力する電源回路と、前記各映像信号線に階調電圧を出力する映像信号線駆動回路と、前記各走査信号線に走査信号電圧を出力する走査信号線駆動回路とを具備する液晶表示装置において、前記映像信号線駆動回路が、前記電源回路から出力される k 個の階調基準電圧を分圧して M 階調の階調電圧を生成する階調電圧生成手段と、前記各映像信号線毎に設けられ、表示用データに基づいて前記階調電圧生成手段で生成された M 階調の階調電圧の隣接する階調電圧から N 階調の階調電圧を生成するとともに、その中の 1 つを選択して前記各映像信号線に出力する出力手段とを有することを特徴とする液晶表示装置。

【請求項 2】 前記出力手段が、前記階調電圧生成手段で生成された M 階調の階調電圧の隣接する階調電圧を選択する第 1 のスイッチング手段と、前記第 1 のスイッチング手段により選択された隣接する階調電圧を N 等分に分圧して $(N-1)$ 階調の中間階調電圧を生成する中間階調電圧生成手段と、前記階調電圧生成手段で生成された M 階調の階調電圧、あるいは、前記中間階調電圧生成手段により生成された $(N-1)$ 階調の中間階調電圧の中の 1 つを選択して前記映像信号線に出力する第 2 のスイッチング手段と、表示用データに基づいて前記第 1 のスイッチング手段および前記第 2 のスイッチング手段を制御する制御回路とを有することを特徴とする請求項 1 に記載された液晶表示装置。

【請求項 3】 前記中間階調電圧生成手段が、抵抗が直列に接続された分圧回路であることを特徴とする請求項 2 に記載された液晶表示装置。

【請求項 4】 前記中間階調電圧生成手段が、コンデンサが直列に接続された分圧回路であることを特徴とする請求項 2 に記載された液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パーソナルコンピュータ、ワークステーション等に用いる液晶表示装置に係り、特に、多階調表示が可能な液晶表示装置の階調電圧生成回路に適用して有効な技術に関する。

【0002】

【従来の技術】 従来の液晶表示装置としては、ストライプ状の XY 電極の交点の画素を駆動する単純マトリクス型液晶表示装置と、画素毎に能動素子（例えば、薄膜トランジスタ (Thin Film Transistor: TFT)）を有しこの能動素子をスイッチング駆動す

るアクティブマトリクス型液晶表示装置に大別される。

【0003】 図 8 は、多色表示、例えば、64 階調の多色表示が可能な従来の TFT 方式のアクティブマトリクス型液晶表示装置の概略構成を示すブロック図である。

【0004】 図 8 に示す液晶表示パネル (TFT-LCD) は、 $800 \times 3 \times 600$ 画素 (Pixel) から構成される。

【0005】 図 9 は、図 8 に示す液晶表示パネル (TFT-LCD) の 1 画素 (Pixel) の等価回路を示す図である。

【0006】 図 9 において、ITO は画素電極、COM は対向電極 (コモン電極)、CLC は液晶層、 D_n はドレイン線 (あるいは映像信号線)、 G_n はゲート線 (あるいは走査信号線)、TFT は薄膜トランジスタ、 C_{add} は保持容量、 C_n は容量線である。

【0007】 図 9 に示すように、液晶層は等価回路で示す静電容量 (CLC) で表せるので、画素 (Pixel) は、画素電極 (ITO)、対向電極 (コモン電極) (COM)、液晶層 (CLC)、付加容量 (C_{add}) で構成される。

【0008】 図 16 に示すように、液晶層は、画素電極 (ITO) と対向電極 (COM) との間に印加される電圧により、光の透過率が変化するので、対向電極 (COM) に印加する電圧を基準として、画素電極 (ITO) に複数の表示階調毎に決定される階調電圧を印加することにより多階調表示が可能となる。

【0009】 薄膜トランジスタ (TFT) は、画素電極 (ITO) に接続されるソース (S)、ドレイン信号線 (D_n) に接続されるドレイン (D)、および、ゲート信号線 (G_n) に接続されるゲート (G) を有し、ゲート (G) に加える電圧によりドレイン信号線 (D_n) と画素電極 (ITO) との間の電氣的導通、非導通を制御する。

【0010】 ドレイン信号線 (D_n) には階調電圧が印加され、また、ゲート線 (G_n) には走査電圧が印加され、階調電圧を印加する画素電極 (ITO) を選択する。

【0011】 保持容量 (C_{add}) は、画素電極 (ITO) に印加された階調電圧を、次の階調電圧が画素電極 (ITO) に印加される迄の間、保持する。

【0012】 なお、容量線 (C_n) は、前段のゲート信号線 (G_{n-1}) を兼用することも可能である。

【0013】 図 10 は、図 9 に示す画素 (Pixel) に印加される電圧を示すタイミングチャートである。

【0014】 図 10 において、(1) はゲート線 (G_n) の電圧波形、(2) は対向電極 (COM) 及び容量線 (C_n) の電圧波形、(3) はドレイン線 (D_n) の電圧波形を示す。

【0015】 画素電極 (ITO) に階調電圧を印加する時はゲート電圧波形 (1) が Gate On レベルと

なりTFTのソース(S)、ドレイン(D)間が導通する。

【0016】ドレイン線(Dn)の電圧波形(3)と対向電極(COM)の電圧波形(2)とは位相が反転した形になっており、ドレイン線(Dn)の電圧波形(3)と対向電極(COM)の電圧波形(2)との差の電圧が液晶層(CLC)に印加される。

【0017】液晶層(CLC)に印加される電圧は、正極性で印加されるタイミングと負極性で印加されるタイミングが交互に現れるように、ゲート電圧波形(1)、対向電極電圧波形(2)、ドレイン電圧波形(3)を設定しているため、液晶層(CLC)には直流成分が印加されず、TFT方式の液晶表示パネル(TFT-LCD)の寿命の低下、画像の焼き付きおよび残像の問題がなくなる。

【0018】TFT方式の液晶表示パネル(TFT-LCD)を用いた液晶表示装置の特徴は、薄膜トランジスタ(TFT)というスイッチング素子を介して画素電極(ITO)に階調電圧を印加するため、各画素(Pix)間のクロストークがなく、単純マトリックス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能にあることにある。

【0019】また、図8に示すように、液晶表示パネル(TFT-LCD)の一方の側にドレインドライバ11が配置され、このドレインドライバ11を薄膜トランジスタ(TFT)のドレイン線(Dn)に接続し、薄膜トランジスタ(TFT)に液晶を駆動するための階調電圧を供給する。

【0020】また、液晶表示パネル(TFT-LCD)の側面にはゲートドライバ12が配置され、このゲートドライバ12を薄膜トランジスタ(TFT)のゲート線(Gn)に接続し、1水平動作時間(1H)、薄膜トランジスタ(TFT)のゲート(G)にGate On電圧を供給する。

【0021】表示制御装置10は、インターフェースコネクタを介して、本体コンピュータからの表示用データと表示制御信号を受け取り、これを基にドレインドライバ11、ゲートドライバ12を駆動する。

【0022】ここで、本体コンピュータからの表示用データは、各色毎6ビットの18ビットで構成されている。

【0023】図11は、図8に示すドレインドライバ11の概略構成を示すブロック図である。

【0024】図11に示すように、ドレインドライバ11は、1個の階調電圧生成回路21を有し、前記階調電圧生成回路21は、内部電源回路13から入力される9値の階調基準電圧(V0~V8)に基づいて64階調分の階調電圧を生成し、電圧バス28を介して出力回路27に出力する。

【0025】また、ドレインドライバ11は、制御回路22内のシフトレジスタ23により表示データラッチ用クロック信号(CLK2)に同期して、各色毎6ビットの表示用データを入力レジスタ24内に出力本数分だけ取り込み、出力タイミング制御用クロック信号(CLK1)に応じて、入力レジスタ24内の表示用データをストレージレジスタ25に取り込む。

【0026】このストレージレジスタ25に取り込まれた表示用データは、レベルシフタ26を介して出力回路27に入力される。

【0027】また、ドレインドライバ11の極性端子はドレイン線(Dn)に出力する電圧の極性を制御するために設けられ、キャリア入力、キャリア出力端子は液晶表示装置内の複数のドレインドライバ11間の連携を取るために設けられている。

【0028】図12は、図11に示す出力回路27の概略構成を示すブロック図である。

【0029】図12に示すように、出力回路27は、各ドレイン信号線(Dn)毎に設けられる階調電圧選択回路31とバッファアンプ32とで構成され、階調電圧選択回路31は、電圧バス28を介して前記階調電圧生成回路21から出力される64階調分の階調電圧の中から、ストレージレジスタ25から出力される表示用データに対応する階調電圧を選択し、バッファアンプ32を介して各ドレイン線(Dn)に出力する。

【0030】図13は、図12に示す1ドレイン信号線(Dn)毎に設けられる階調電圧選択回路31の一例を示す図である。

【0031】図13に示す階調電圧選択回路31は、電圧バス28の各階調電圧ラインに接続される複数のスイッチ回路(S00~S63)と、ストレージレジスタ25から出力される表示用データをデコードして対応するスイッチ回路をオンとする制御回路33とから構成される。

【0032】この場合に、複数のスイッチ回路(S00~S63)は、64階調数と同じ数の64個必要であり、また、電圧バス28も、階調数と同じ数の64個の階調電圧ラインが必要である。

【0033】図14は、図11に示す内部電源回路13内の階調基準電圧生成回路14の一例を示す図である。

【0034】図14に示す階調基準電圧生成回路14は、抵抗分圧回路で各階調基準電圧(V0~V8)を生成する例であり、各階調基準電圧(V0~V8)は複数の抵抗(RR0~RR9)の抵抗比により設定され、各抵抗(RR0~RR9)により分圧された電圧は、各バッファ回路(OP1~OP9)により充分な電力に増幅されてドレインドライバ11に出力される。

【0035】図15(a)は、図11に示すドレインドライバ11の階調電圧生成回路21の一例を示す図であり、また、図15(b)は同図(a)を簡略化したもの

である。

【0036】図15に示すドレインドライバ11の階調電圧生成回路21は、内部電源回路13から入力された9値の階調基準電圧(V0~V8)の各階調基準電圧間を、抵抗R11ないし抵抗R88により分圧して64階調分の階調電圧(V00~V63)を生成する。

【0037】即ち、階調基準電圧(V0)と階調基準電圧(V1)との間に、抵抗R11ないし抵抗R17を接続しその接続点から階調電圧(V01)ないし階調電圧(V06)を出力し、また、階調基準電圧(V1)から階調基準電圧(V9)までの間には、抵抗R21ないし抵抗R88を8個ずつ順番に接続しその接続点から階調電圧(V08)ないし階調電圧(V14)、階調電圧(V16)ないし階調電圧(V22)、階調電圧(V24)ないし階調電圧(V30)、階調電圧(V32)ないし階調電圧(V38)、階調電圧(V40)ないし階調電圧(V46)、階調電圧(V48)ないし階調電圧(V54)、階調電圧(V56)ないし階調電圧(V62)を出力し、9個の階調基準電圧(V1~V8)と、55個の階調電圧(V01~V06, V08~V14, V16~V22, V24~V30, V32~V38, V40~V46, V48~V54, V56~V62)とで、64階調分の階調電圧(V00~V63)を生成するものである。

【0038】また、図16に示すように、一般に液晶層に印加する電圧と透過率との関係は、リニアではなく、透過率の高いところ及び低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となると透過率の変化が大きい。

【0039】このため、64階調の多色表示が可能な液晶表示装置において、64階調をリニアに表示するためには、ドレインドライバ11の階調電圧生成回路21に与える階調基準電圧値は、図15(b)に示すように、等間隔ではなく中間調付近(V2~V6)で差が小さく、それ以外(V0~V2, V6~V8)で大きくしなければならない。

【0040】

【発明が解決しようとする課題】近年、TFT方式のアクティブマトリクス型液晶表示装置においては、64階調表示から256階調表示へと、より多階調化が要望されており、また、より液晶表示パネル(TFT-LCD)の狭額縁化が要望されている。

【0041】しかしながら、図13から理解されるように、従来のドレインドライバ11を用いたTFT方式のアクティブマトリクス型液晶表示装置においては、多階調の階調電圧から表示用データにより決定される1つの階調電圧を選択するためには、階調数と同じ数のスイッチ回路(S01~S63)が必要であり、また、階調数と同じ数の階調電圧ラインを有する電圧バス28が必要である。

【0042】したがって、従来のドレインドライバ11を用いたTFT方式のアクティブマトリクス型液晶表示装置において、例えば、256階調表示のように、より多階調化を進める場合には、階調電圧選択回路31内のスイッチ回路も、それ合わせて増加する必要があり、また、同じく、電圧バス28の階調電圧ラインも増加する必要がある。

【0043】しかしながら、階調電圧選択回路31内のスイッチ回路を増加させること、および、電圧バス28の階調電圧ラインを増加させることは、ドレインドライバ11のサイズの大型化につながり、ドレインドライバ11のサイズが増大するという問題があった。

【0044】さらに、このドレインドライバ11のサイズの大型化は、液晶表示パネル(TFT-LCD)の狭額縁化を阻害する要因となっていた。

【0045】このため、従来のドレインドライバ11を用いたTFT方式のアクティブマトリクス型液晶表示装置においては、例えば、256階調表示のように、より多階調化を進める場合に、ドレインドライバのサイズが大型化し、液晶表示パネル(TFT-LCD)の狭額縁化を図ることができないという問題点があった。

【0046】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、ドレインドライバのサイズを大型化することなく、多階調表示が可能となる技術を提供することにある。

【0047】本発明の他の目的は、液晶表示装置において、ドレインドライバのサイズを大型化することなく、多階調表示が可能で、狭額縁化に対応可能となる技術を提供することにある。

【0048】本発明の前記目的並びにその他の目的及び新規な特徴は、本明細書の記載及び添付図面によって明らかにする。

【0049】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0050】(1)複数の映像信号線と、前記複数の映像信号線に直行する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差領域内にマトリクス状に配置される複数の画素とを備え、前記各映像信号線により前記列方向の画素に階調電圧を印加し、前記各走査信号線により前記行方向の画素に走査信号電圧を印加する液晶パネルと、k個の階調基準電圧を出力する電源回路と、前記各映像信号線に階調電圧を出力する映像信号線駆動回路と、前記各走査信号線に走査信号電圧を出力する走査信号線駆動回路とを具備する液晶表示装置において、前記映像信号線駆動回路が、前記電源回路から出力されるk個の階調基準電圧を分圧してM階調の階調電圧を生成する階調電圧生成手段と、前記各映像

信号線毎に設けられ、表示用データに基づいて前記階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧からN階調の階調電圧を生成するとともに、その中の1つを選択して前記各映像信号線に出力する出力手段とを有することを特徴とする。

【0051】(2)前記(1)の手段において、前記出力手段が、前記階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧を選択する第1のスイッチング手段と、前記第1のスイッチング手段により選択された隣接する階調電圧をN等分に分圧して(N-1)階調の中間階調電圧を生成する中間階調電圧生成手段と、前記階調電圧生成手段で生成されたM階調の階調電圧、あるいは、前記中間階調電圧生成手段により生成された(N-1)階調の中間階調電圧の中の1つを選択して前記映像信号線に出力する第2のスイッチング手段と、表示用データに基づいて前記第1のスイッチング手段および前記第2のスイッチング手段を制御する制御回路とを有することを特徴とする。

【0052】(3)前記(2)の手段において、前記中間階調電圧生成手段が、抵抗が直列に接続された分圧回路であることを特徴とする。

【0053】(4)前記(2)の手段において、前記中間階調電圧生成手段が、コンデンサが直列に接続された分圧回路であることを特徴とする。

【0054】前記各手段によれば、映像信号線駆動回路が階調電圧生成手段と、各映像信号線毎に設けられる出力手段とを備え、階調電圧生成手段で、電源回路から出力されるk個の階調基準電圧を分圧してM($M < n$)階調の階調電圧を生成する。

【0055】また、例えば、階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧を選択する第1のスイッチング手段と、当該選択された隣接する階調電圧をN($N = n / (M - 1)$)等分に分圧して(N-1)階調の中間階調電圧を生成する中間階調電圧生成手段と、階調電圧生成手段で生成されたM階調の階調電圧、あるいは、中間階調電圧生成手段により生成された(N-1)階調の中間階調電圧の中の1つを選択して、各映像信号線に出力する第2のスイッチング手段と、各スイッチング手段を制御する制御回路とを有する出力手段で、表示用データに基づいて階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧からN階調の階調電圧を生成するとともに、その中の1つを選択して各映像信号線に出力するようにしたので、各映像信号線毎に設けられるスイッチの数、および、電圧バスの階調電圧ライン数を、表示階調数より大幅に少なくすることが可能となる。

【0056】これにより、階調電圧選択回路のサイズを小型化することが可能となり、それに伴い、映像信号線駆動回路のサイズも小型化することが可能となる。

【0057】

【発明の実施の形態】以下、本発明をTFT方式のアクティブマトリクス型液晶表示装置に適用した実施形態について図面を参照して詳細に説明する。

【0058】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0059】本発明のTFT方式のアクティブマトリクス型液晶表示装置は、ドレインドライバ11内の多階調電圧生成回路および階調電圧生成回路の構成が、前記図8に示すTFT方式のアクティブマトリクス型液晶表示装置と相違するが、それ以外の構成は、前記図8に示すTFT方式のアクティブマトリクス型液晶表示装置と同じであるので、その詳細な説明は省略する。

【0060】〔実施形態1〕図1は、本発明の一発明の実施の形態(発明の実施の形態1)であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧を生成する階調電圧生成回路1を示す図である。

【0061】図1に示すように、本発明の実施の形態における階調電圧生成回路1は、前記図12に示す階調電圧生成回路と同じく、内部電源回路13から入力された9値の階調基準電圧($V_0 \sim V_8$)を、各階調基準電圧間に8個の抵抗(R)を有する64個の直列抵抗(R)で構成された分圧用抵抗群6により分圧して65階調の階調電圧を生成し、その内のM階調(本発明の実施の形態1では17)の階調電圧を電圧バス28を介してドレインドレイバ11内の出力回路27の階調電圧選択回路31に出力する。

【0062】即ち、本発明の実施の形態1では、従来のように階調数と同じ数の階調電圧を電圧バス28を介してドレインドレイバ11内の出力回路27の階調電圧選択回路31に出力するのではなく、M階調の階調電圧を生成し電圧バス28を介してドレインドレイバ11内の出力回路27の階調電圧選択回路31に出力する。

【0063】したがって、本発明の実施の形態1では、電圧バス28の階調電圧ライン数を大幅に低減することが可能であり、例えば、従来のドレインドレイバ11の電圧バス28では64の階調電圧ライン数が必要であったのに対して、本発明の実施の形態1の電圧バス28では17の階調電圧ライン数でよく、本発明の実施の形態1では電圧バス28の階調電圧ライン数を64から17に低減することが可能となる。

【0064】なお、本発明の実施の形態1における階調電圧生成回路1では、従来の階調電圧生成回路21をそのまま使用するために、分圧用抵抗群6を各階調基準電圧間に8個の抵抗(R)、即ち、各階調電圧間に4個の抵抗(R)を有する64個の直列抵抗(R)で構成しているが、分圧用抵抗群6を各階調電圧間に1個の直列抵抗(R)を有する16個の直列抵抗(R)で構成してもよい。

【0065】図2は、本発明の一発明の実施の形態（発明の実施の形態1）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の階調電圧選択回路31を示す図である。

【0066】図2に示すように、本発明の実施の形態1におけるドレインドライバ11の階調電圧選択回路31は、第1のスイッチング手段2と、第2のスイッチング手段3と、4個の抵抗（R1）が直列に接続された分圧回路により構成される中間階調電圧生成手段4と、第1のスイッチング手段2および第2のスイッチング手段3

内の対応するスイッチ回路（S00～S64、Sa～Se）をオンとする制御回路33とから構成される。

【0067】第1のスイッチング手段2は、図1に示す階調電圧生成回路1から電圧バス4を介して出力される17階調の階調電圧の中の隣接する階調電圧（例えば、階調電圧（V00）と階調電圧（V04）、階調電圧（V04）と階調電圧（V08）等）を選択する。

【0068】また、中間階調電圧生成手段4は、前記スイッチング手段2で選択された隣接する階調電圧間を4等分に分圧して3階調の中間階調電圧を生成する。

【0069】また、第2のスイッチング手段3は、前記第1のスイッチング手段2により選択された階調電圧、あるいは、前記中間階調電圧生成手段4により生成された3階調の中間階調電圧を選択して、各ドレイン信号線（Dn）に出力する。

【0070】さらに、制御回路33は、ストレージレジスタ25から出力される表示用データをデコードして第1のスイッチング手段2および第2のスイッチング手段3内の対応するスイッチ回路（S00～S64、Sa～Se）をオンとする。

【0071】図3は、本発明の実施の形態1において、64階調の階調電圧を得るためにオンとすべき、第1のスイッチング手段2および第2のスイッチング手段3内の対応するスイッチ回路（S00～S64、Sa～Se）を示す図である。

【0072】このように、本発明の実施の形態1では、階調電圧生成回路1から電圧バス4を介して出力される17階調の階調電圧と、中間階調電圧生成手段4により生成される48階調の中間階調電圧とで、64階調の階調表示を行う。

【0073】この場合に、階調電圧生成回路1から電圧バス4を介して出力される17階調の階調電圧の1つ（例えば、V8）は使用しない。

【0074】したがって、本発明の実施の形態1におけるドレインドライバ11の階調電圧選択回路31では、階調電圧選択回路31内のスイッチ（S00～S64、Sa～Se）数を大幅に低減することができ、例えば、従来のドレインドライバ11の階調電圧選択回路31では、64個のスイッチが必要であったのに対して、本発明の実施の形態1の階調電圧選択回路31では22

個のスイッチでよく、本発明の実施の形態1では階調電圧選択回路31内のスイッチ数を64から22に低減することが可能となる。

【0075】なお、本発明の実施の形態1では、各ドレイン信号線（Dn）にリーク電流が流れると、中間階調電圧生成手段4、あるいは、階調電圧生成回路1に不必要な電流が流れ、中間階調電圧生成手段4により生成される中間階調電圧、あるいは、階調電圧生成回路1から電圧バス4を介して出力される17階調の階調電圧のレベルが変動するので、バッファアンプ32の入力インピーダンスを大きくする必要がある。

【0076】図4は、図1に示す階調電圧生成回路1に具体的な抵抗値を当てはめて本発明を実施した実施例を示す図である。

【0077】なお、図4においては、分圧用抵抗群6を各階調電圧間に2個の直列抵抗（例えば、R1、R2）を有する32個の直列抵抗で構成した実施例である。

【0078】前記図16に示すように、一般に液晶層に印加する電圧と透過率との関係は、リニアではなく、透過率の高いところ及び低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となるところで透過率の変化が大きいため、64階調をリニアに表示するために、ドレインドライバ11の階調電圧生成回路21に入力される階調基準電圧値は、図15

（b）に示すように、等間隔ではなく中間調付近（V2～V6）で差が小さく、それ以外（V0～V2、V6～V8）で大きくなっている。

【0079】そのため、図4に示す実施例では、図3に示す分圧用抵抗群6の各抵抗（R1～R32）に流れる電流が略等しくなるように、中間調付近の階調電圧（V16～V48）の各階調電圧間の抵抗値を小さくし、それ以外の階調電圧（V00～V16、V48～V64）の各階調電圧間の抵抗値を大きくしている。

【0080】即ち、中間調付近の階調電圧（V16～V48）の各階調電圧間の抵抗値を80オーム（40+40）、階調電圧（V08～V16、V48～V56）の各階調電圧間の抵抗値を96オーム（48+48）、階調電圧（V04～V08、V56～V60）の各階調電圧間の抵抗値を160オーム（80+80）、階調電圧（V00～V04、V60～V64）の各階調電圧間の抵抗値を280オーム（140+140）としている。

【0081】また、中間階調電圧生成手段4は、階調電圧生成回路1に並列に接続されるため、中間階調電圧生成手段4に流れる電流により、各階調電圧の電圧レベルが変動しないように、中間階調電圧生成手段4を構成する4個の直列抵抗（R）は、1メガオームと大きくしている。

【0082】なお、前記図9に示すように、実際の画素（Pix）では、ゲート（G）と画素電極（ITO）との間には寄生容量（Cgs）があり、図10に示す駆動

方法でゲート (G) に印加される駆動電圧が Gate On から Gate Off に変化すると、その変化に伴うパルスが寄生容量 (Cgs) を介して画素電極 (ITO) に印加されるために、液晶層 (CLC) に印加される電圧がシフトする。

【0083】したがって、内部電源回路 13 の階調基準電圧 (V0~V8) を設定する場合には予め液晶層 (CLC) 加わる電圧シフト分を考慮する必要がある。

【0084】この場合に、液晶層に印加する電圧が負極性の場合には、電圧シフト分を階調基準電圧に加え、液晶層に印加する電圧が正極性の場合には、電圧シフト分を階調基準電圧から引く必要があるため、図 14 に示す内部電源回路 13 内の階調基準電圧生成回路 14 は負極性と正極性との 2 種類必要となる。

【0085】同様に、ドレインドライバ 11 内の階調電圧生成回路 1 も、負極性と正極性との 2 種類の分圧用抵抗群 6 を有し、極性信号に応じて切り換えて使用する。

【0086】〔実施形態 2〕図 5 は、本発明の他の発明の実施の形態 (発明の実施の形態 2) である TFT 方式のアクティブマトリクス型液晶表示装置のドレインドライバ 11 の 64 階調の階調電圧生成回路 1 および階調電圧選択回路 31 を示す図である。

【0087】本発明の実施の形態 2 の液晶表示装置は、ドレインドライバ 11 の階調電圧選択回路 31 内の中間階調電圧生成手段 4 が 4 個のコンデンサが直列に接続された分圧回路により構成されている以外は、前記発明の実施の形態 1 と同じである。

【0088】なお、図 5 では、64 階調の階調電圧生成回路 1 および階調電圧選択回路 31 を同じ図面で表し、また、図 2 に示す制御回路 33 とバッファアンプ 32 は省略している。

【0089】本発明の実施の形態 2 でも、電圧バス 28 の階調電圧ライン数を 64 から 17 に低減することが可能となり、また、階調電圧選択回路 31 内のスイッチ数を 64 から 14 に低減することが可能となる。

【0090】なお、本発明の実施の形態 3 でも、各ドレイン信号線 (Dn) にリーク電流が流れると、中間階調電圧生成手段 4、あるいは、階調電圧生成回路 1 に不必要な電流が流れ、中間階調電圧生成手段 4 により生成される中間階調電圧、あるいは、階調電圧生成回路 1 から電圧バス 4 を介して出力される 33 階調の階調電圧のレベルが変動するので、バッファアンプ 32 の入力インピーダンスを大きくする必要がある。

【0091】〔実施形態 3〕図 6 は、本発明の他の発明の実施の形態 (発明の実施の形態 3) である TFT 方式のアクティブマトリクス型液晶表示装置のドレインドライバ 11 の 64 階調の階調電圧生成回路 1 および階調電圧選択回路 31 を示す図である。

【0092】本発明の実施の形態 3 の液晶表示装置は、ドレインドライバ 11 の階調電圧生成回路 1 が、33

(M=33) 階調の階調電圧を生成し電圧バス 28 を介してドレインドライバ 11 内の階調電圧選択回路 31 に出力し、ドレインドライバ 11 の階調電圧選択回路 31 内の中間階調電圧生成手段 4 が 2 個の抵抗が直列に接続された分圧回路により構成されている以外は、前記発明の実施の形態 1 と同じである。

【0093】なお、図 6 では、64 階調の階調電圧生成回路 1 および階調電圧選択回路 31 を同じ図面で表し、また、図 2 に示す制御回路 33 とバッファアンプ 32 は省略している。

【0094】図 6 に示すように、本発明の実施の形態 3 における階調電圧生成回路 1 は、内部電源回路 13 から入力された 9 値の階調基準電圧 (V0~V8) を、各階調基準電圧間に 8 個の直列抵抗 (R) を有する 64 個の直列抵抗 (R) で構成された分圧用抵抗群 6 により分圧して 65 階調の階調電圧を生成し、その内の M 階調 (本発明の実施の形態 3 では 33) の階調電圧を電圧バス 28 を介してドレインドライバ 11 内の出力回路 27 の階調電圧選択回路 31 に出力する。

【0095】したがって、本発明の実施の形態 3 では、電圧バス 28 の階調電圧ライン数を 64 から 33 に低減することが可能となる。

【0096】本発明の実施の形態 3 における階調電圧選択回路 31 においては、第 1 のスイッチング手段 2 で、階調電圧生成回路 1 から電圧バス 4 を介して出力される 33 階調の階調電圧の中の隣接する階調電圧 (例えば、階調電圧 (V00) と階調電圧 (V02)、階調電圧 (V02) と階調電圧 (V04) 等) を選択する。

【0097】また、中間階調電圧生成手段 4 で、前記スイッチング手段 2 で選択された隣接する階調電圧間を 2 等分に分圧して、前記選択された隣接する階調電圧間の中間階調電圧を生成し、さらに、第 2 のスイッチング手段 3 で、前記第 1 のスイッチング手段 2 により選択された階調電圧、あるいは、前記中間階調電圧生成手段 4 により生成された中間階調電圧を選択して、各ドレイン信号線 (Dn) に出力する。

【0098】即ち、本発明の実施の形態 3 では、階調電圧生成回路 1 から電圧バス 4 を介して出力される 33 階調の階調電圧と、中間階調電圧生成手段 4 により生成される 32 階調の中間階調電圧とで、64 階調の階調表示を行う。

【0099】この場合に、階調電圧生成回路 1 から電圧バス 4 を介して出力される 33 階調の階調電圧の 1 つ (例えば、V8) は使用しない。

【0100】したがって、本発明の実施の形態 3 では、ドレインドライバ 11 の階調電圧選択回路 31 内のスイッチ数を 64 から 36 に低減することが可能となる。

【0101】なお、本発明の実施の形態 3 でも、各ドレイン信号線 (Dn) にリーク電流が流れると、中間階調電圧生成手段 4、あるいは、階調電圧生成回路 1 に不

10

20

30

40

50

要な電流が流れ、中間階調電圧生成手段4により生成される中間階調電圧、あるいは、階調電圧生成回路1から電圧バス4を介して出力される33階調の階調電圧のレベルが変動するので、バッファアンプ32の入力インピーダンスを大きくする必要がある。

【0102】〔実施形態4〕図7は、本発明の他の発明の実施の形態（発明の実施の形態4）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧生成回路1および階調電圧選択回路31を示す図である。

【0103】本発明の実施の形態4の液晶表示装置は、ドレインドライバ11の階調電圧選択回路31内の中間階調電圧生成手段4が2個のコンデンサが直列に接続された分圧回路により構成されている以外は、前記発明の実施の形態3と同じである。

【0104】なお、図7では、64階調の階調電圧生成回路1および階調電圧選択回路31を同じ図面で表し、また、図2に示す制御回路33とバッファアンプ32は省略している。

【0105】本発明の実施の形態4でも、電圧バス28の階調電圧ライン数を64から33に低減することが可能となり、また、階調電圧選択回路31内のスイッチ数を64から36に低減することが可能となる。

【0106】なお、本発明の実施の形態4でも、各ドレイン信号線(Dn)にリーク電流が流れると、中間階調電圧生成手段4、あるいは、階調電圧生成回路1に不必要な電流が流れ、中間階調電圧生成手段4により生成される中間階調電圧、あるいは、階調電圧生成回路1から電圧バス4を介して出力される33階調の階調電圧のレベルが変動するので、バッファアンプ32の入力インピーダンスを大きくする必要がある。

【0107】なお、前記各実施形態では、本発明を、TFT方式のアクティブマトリクス型液晶表示装置に適用した場合について説明したが、これに限定されず、本発明は、TFT方式のアクティブマトリクス型液晶表示モジュール等のすべてのアクティブマトリクス型液晶表示装置に適用できることはいうまでもない。

【0108】また、本発明は、基板と水平な方向の電界が液晶に印加（横電界方式）されるTFT方式のアクティブマトリクス型液晶表示装置にも適用可能であることはいうまでもない。

【0109】以上、本発明を実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0110】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0111】（1）本発明によれば、液晶表示装置にお

いて、電源回路から出力されるk個の階調基準電圧を分圧してM階調の階調電圧を生成し、各映像信号線毎に、表示用データに基づいて階調電圧生成手段で生成されたM階調の階調電圧の隣接する階調電圧からN階調の階調電圧を生成するとともに、その中の1つを選択して各映像信号線に出力するようにしたので、各映像信号線毎に設けられるスイッチの数、および、電圧バスの階調電圧ライン数を、表示階調数より大幅に少なくすることが可能となる。

10 【0112】（2）本発明によれば、液晶表示装置において、階調電圧選択回路のサイズを小型化することが可能となり、それに伴い、映像信号線駆動回路のサイズも小型化することが可能となり、これにより、液晶表示パネルを狭額縁化し、より多階調の階調表示が可能となる。

【図面の簡単な説明】

【図1】本発明の一発明の実施の形態（発明の実施の形態1）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧を生成する階調電圧生成回路1を示す図である。

【図2】本発明の一発明の実施の形態（発明の実施の形態1）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の階調電圧選択回路31を示す図である。

【図3】本発明の実施の形態1において、64階調の階調電圧を得るためにオンとすべき、第1のスイッチング手段2および第2のスイッチング手段3内の対応するスイッチ回路(S00～S64、Sa～Se)を示す図である。

【図4】図1に示す階調電圧生成回路回路1に具体的な抵抗値を当てはめて本発明を実施した実施例を示す図である。

【図5】本発明の他の発明の実施の形態（発明の実施の形態2）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧生成回路1および階調電圧選択回路31を示す図である。

【図6】本発明の他の発明の実施の形態（発明の実施の形態3）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧生成回路1および階調電圧選択回路31を示す図である。

【図7】本発明の他の発明の実施の形態（発明の実施の形態4）であるTFT方式のアクティブマトリクス型液晶表示装置のドレインドライバ11の64階調の階調電圧生成回路1および階調電圧選択回路31を示す図である。

【図8】多色表示が可能な従来のTFT方式のアクティブマトリクス型液晶表示装置の概略構成を示すブロック図である。

【図9】図8に示す液晶表示パネル（TFT-LCD）の1画素（Pix）の等価回路を示す図である。

【図10】図9に示す画素（Pix）に印加される電圧を示すタイミングチャートである。

【図11】図8に示すドレインドライバ11の概略構成を示すブロック図である。

【図12】図11に示す出力回路27の概略構成を示すブロック図である。

【図13】図12に示す1ドレイン信号線（Dn）毎に設けられる階調電圧選択回路31の一例を示す図である。

【図14】図11に示す内部電源回路13内の階調基準電圧生成回路14の一例を示す図である。

【図15】図11に示すドレインドライバ11の階調電圧生成回路21の一例を示す図である。

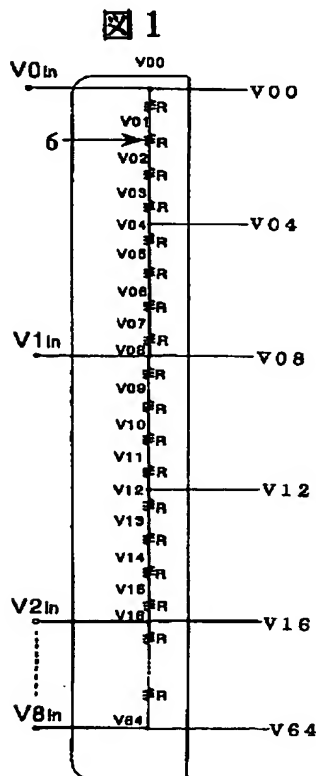
【図16】図14に示す階調基準電圧と、液晶層（CLC）の透過率との関係を示す図である。

*

＊【符号の説明】

I TO…画素電極、COM…対向電極（コモン電極）、CLC…液晶層、Dn…ドレイン線（あるいは映像信号線）、Gn…ゲート線（あるいは走査信号線）、TFT…薄膜トランジスタ、Cadd…保持容量、Cn…容量線、TFT-LCD…TFT液晶表示パネル、S00～S64、Sa～se…スイッチ回路、V0～V8…階調基準電圧、1、21…階調電圧生成回路、2…第1のスイッチング手段、3…第2のスイッチング手段、4…中間階調電圧生成手段、6…分圧用抵抗群、10…表示制御装置、11…ドレインドライバ、12…ゲートドライバ、13…内部電源回路、14…階調基準電圧生成回路、22、33…制御回路、23…シフトレジスタ、24…入力レジスタ、25…ストレージレジスタ、26…レベルシフタ、27…出力回路、28…電圧バス、31…階調電圧選択回路、32…プッシュアンプ。

【図1】

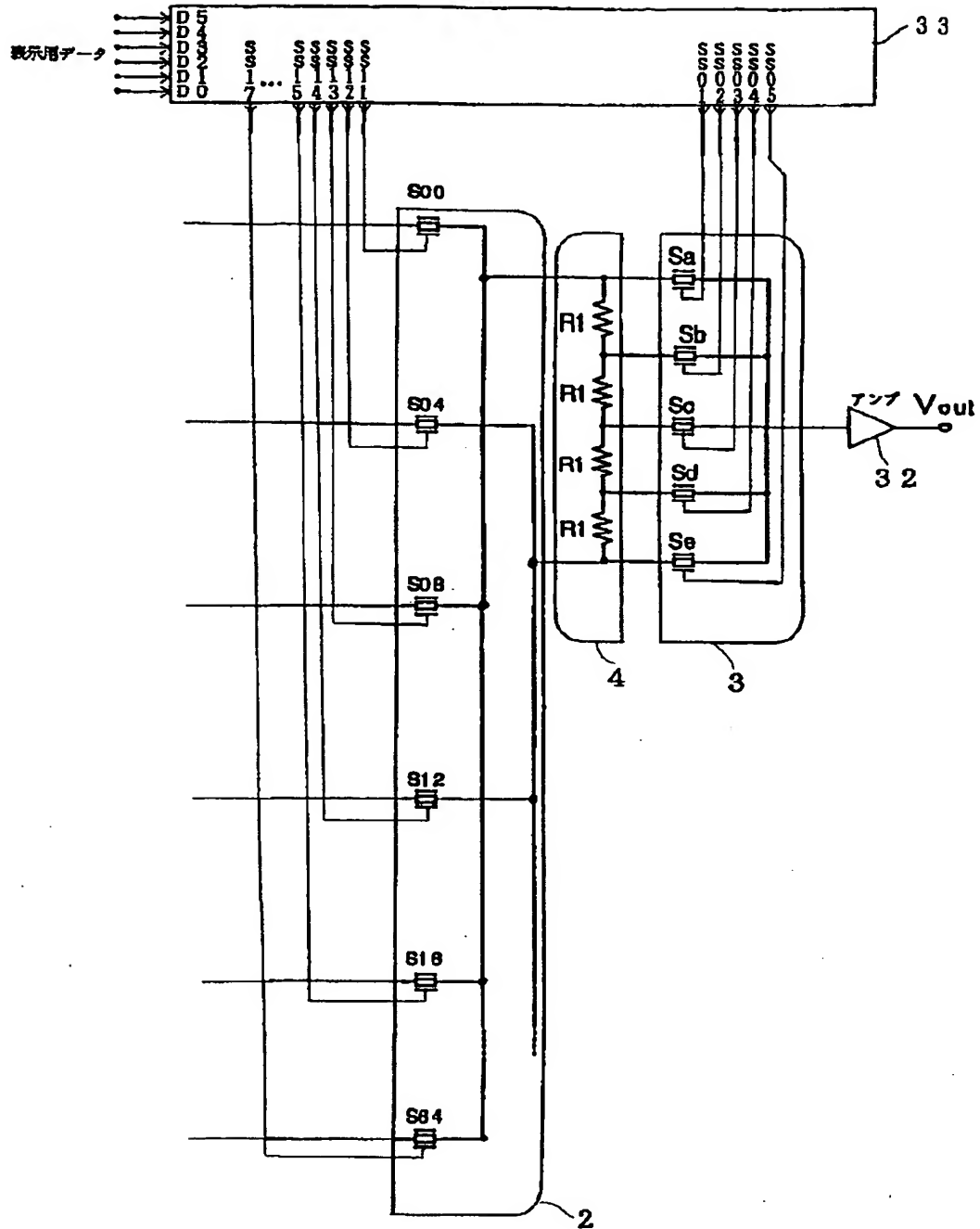


【図3】

出力 階調 電圧	オンとなる 第1のスイ ッチング手 段のスイッ チ回路	オンとなる 第2のスイ ッチング手 段のスイッ チ回路	出力 階調 電圧	オンとなる 第1のスイ ッチング手 段のスイッ チ回路	オンとなる 第2のスイ ッチング手 段のスイッ チ回路
V00	S00, S04	Sa	V32	S28, S32	Sa
V01	S00, S04	Sb	V33	S32, S36	Sb
V02	S00, S04	Sc	V34	S32, S36	Sc
V03	S00, S04	Sd	V35	S32, S36	Sd
V04	S00, S04	Se	V36	S32, S36	Se
V05	S04, S08	Sd	V37	S36, S40	Sd
V06	S04, S08	Sc	V38	S36, S40	Sc
V07	S04, S08	Sb	V39	S36, S40	Sb
V08	S04, S08	Sa	V40	S36, S40	Sa
V09	S08, S12	Sb	V41	S40, S44	Sb
V10	S08, S12	Sc	V42	S40, S44	Sc
V11	S08, S12	Sd	V43	S40, S44	Sd
V12	S08, S12	Se	V44	S40, S44	Se
V13	S12, S16	Sd	V45	S44, S48	Sd
V14	S12, S16	Sc	V46	S44, S48	Sc
V15	S12, S16	Sb	V47	S44, S48	Sb
V16	S12, S16	Sa	V48	S44, S48	Sa
V17	S16, S20	Sb	V49	S48, S52	Sb
V18	S16, S20	Sc	V50	S48, S52	Sc
V19	S16, S20	Sd	V51	S48, S52	Sd
V20	S16, S20	Se	V52	S48, S52	Se
V21	S20, S24	Sd	V53	S52, S56	Sd
V22	S20, S24	Sc	V54	S52, S56	Sc
V23	S20, S24	Sb	V55	S52, S56	Sb
V24	S20, S24	Sa	V56	S52, S56	Sa
V25	S24, S28	Sb	V57	S56, S60	Sb
V26	S24, S28	Sc	V58	S56, S60	Sc
V27	S24, S28	Sd	V59	S56, S60	Sd
V28	S24, S28	Se	V60	S56, S60	Se
V29	S28, S32	Sd	V61	S60, S64	Sd
V30	S28, S32	Sc	V62	S60, S64	Sc
V31	S28, S32	Sb	V63	S60, S64	Sb
			V64	S60, S64	Sa

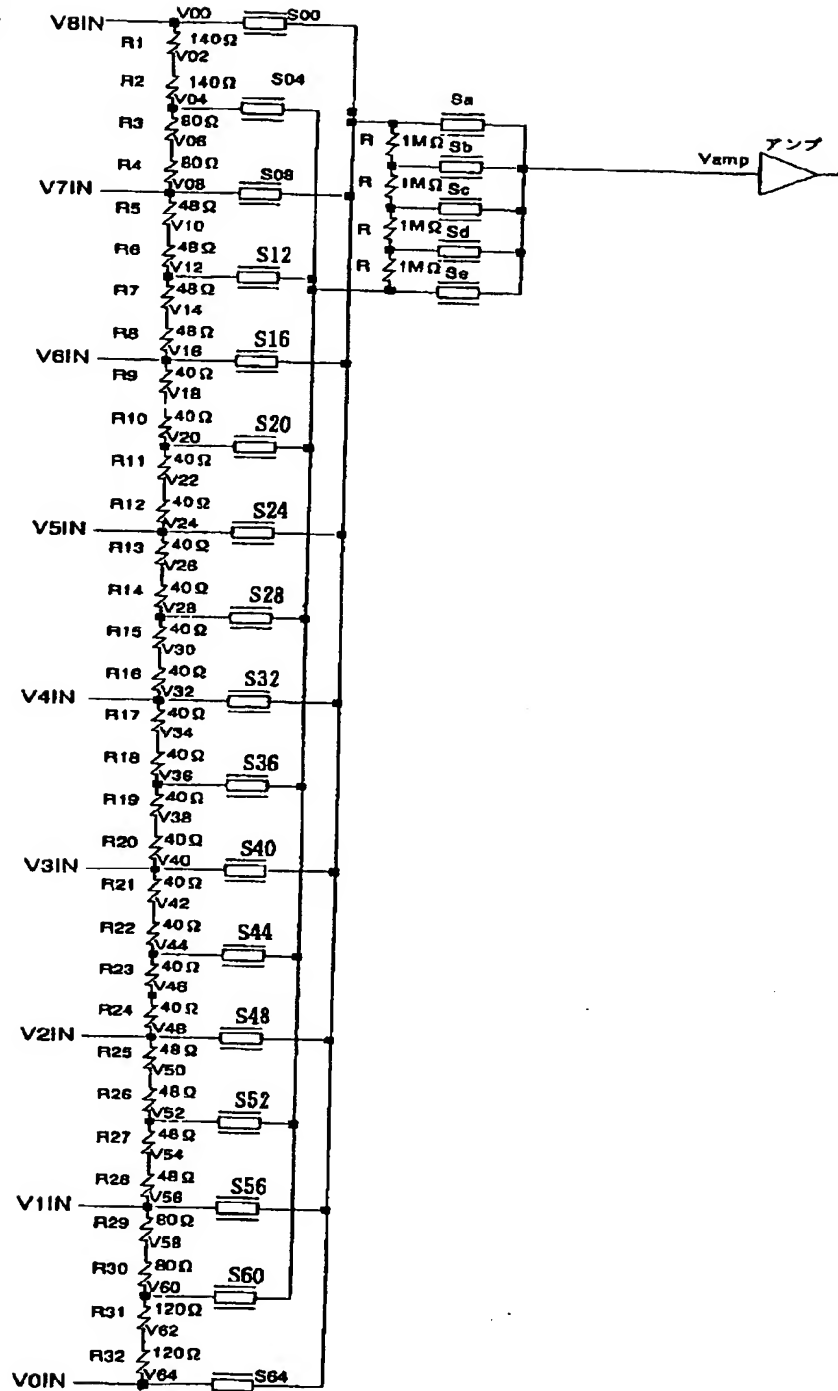
【図 2】

図 2



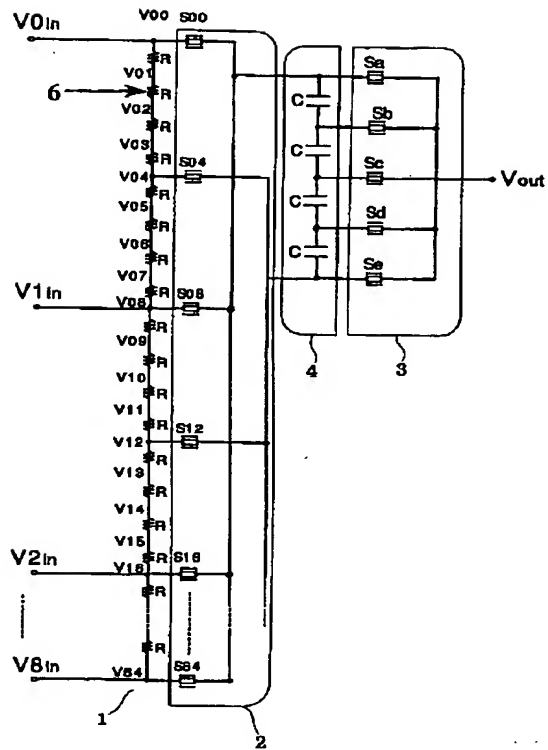
【図4】

図4



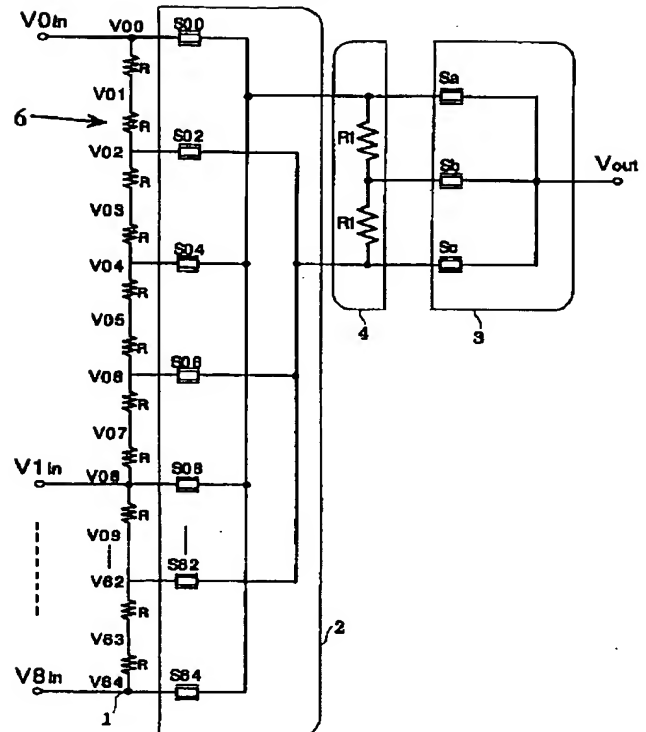
【図5】

図5



【図6】

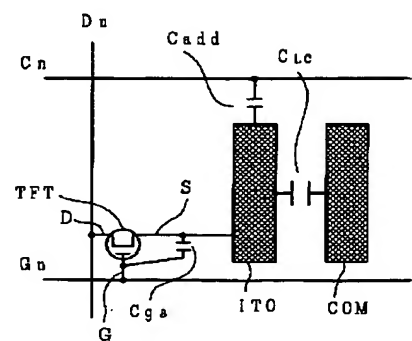
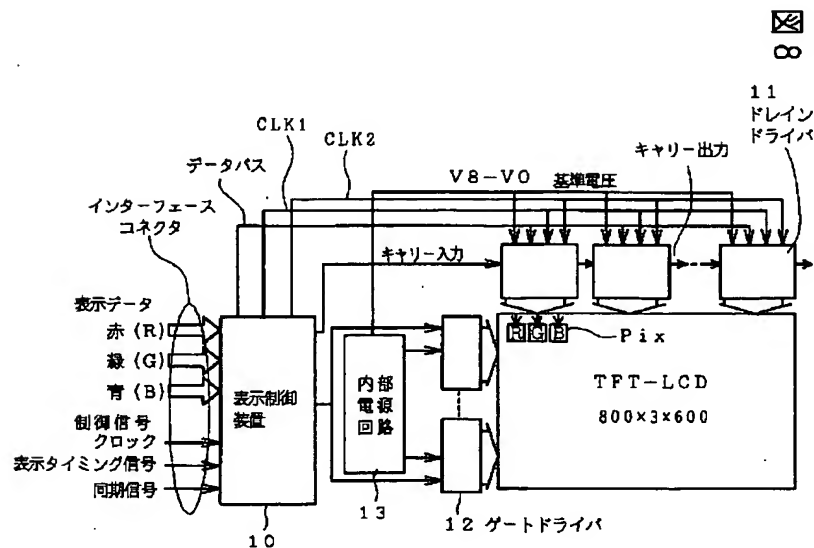
図6



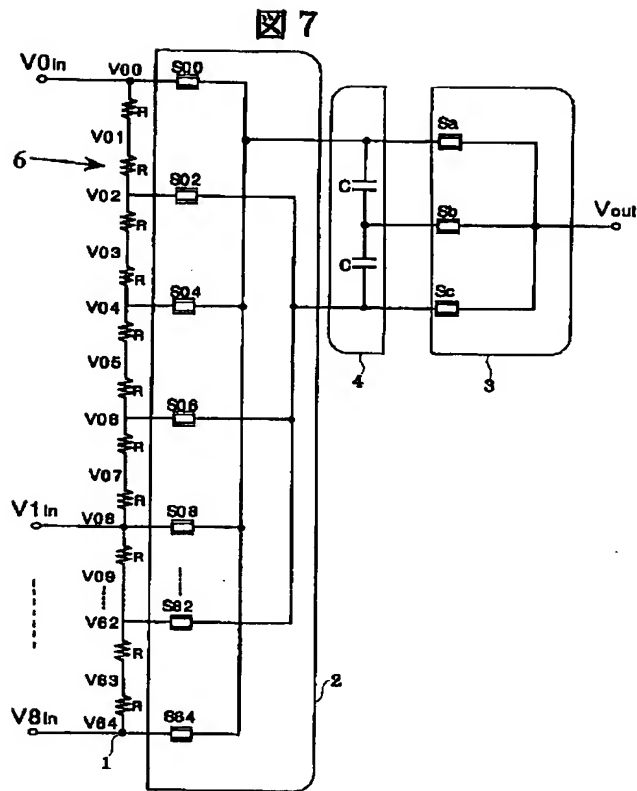
【図9】

【図8】

図9

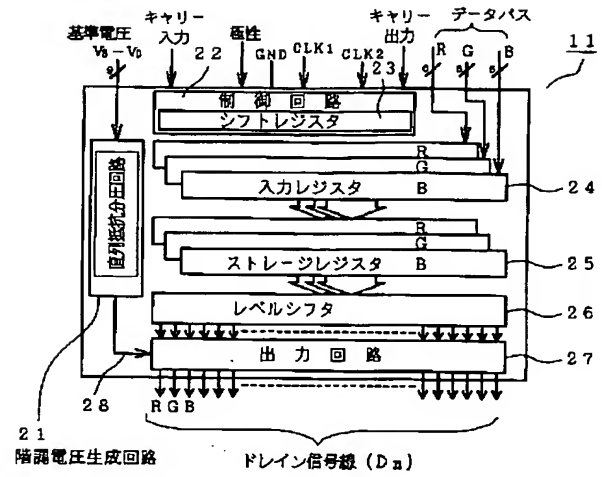


【図7】



【図11】

図11



【図14】

図14

【図10】

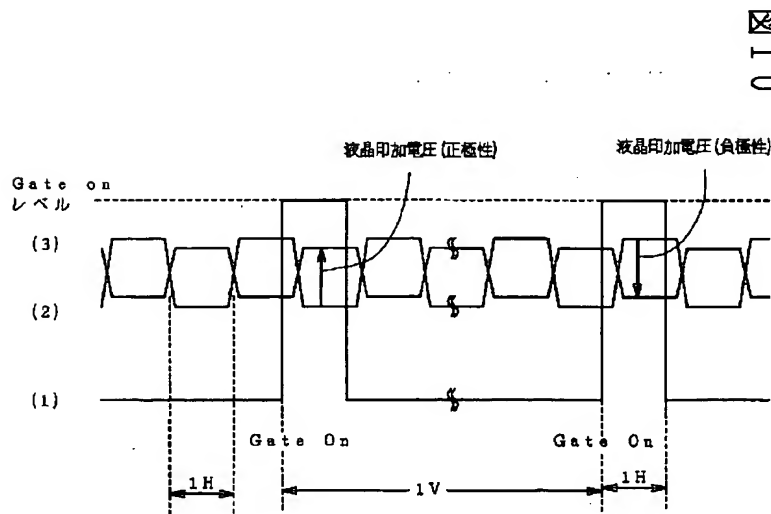
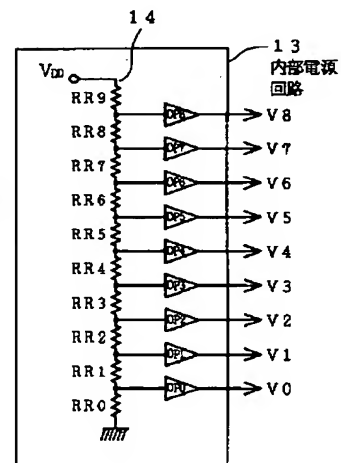


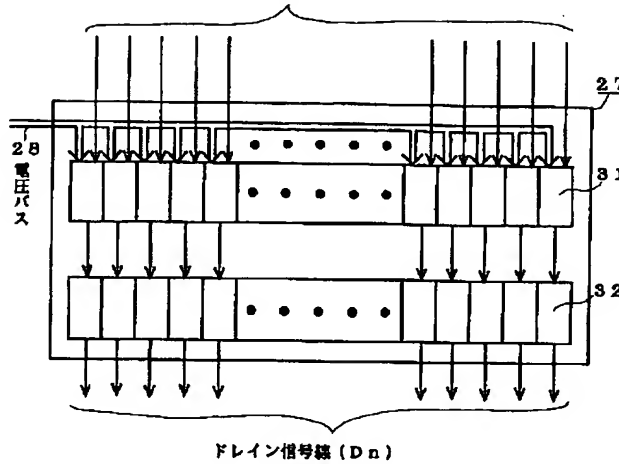
図10



【図12】

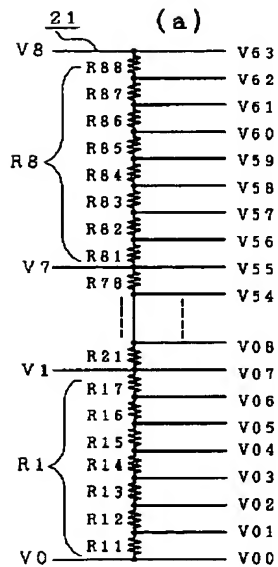
図12

表示用データ



【図15】

図15

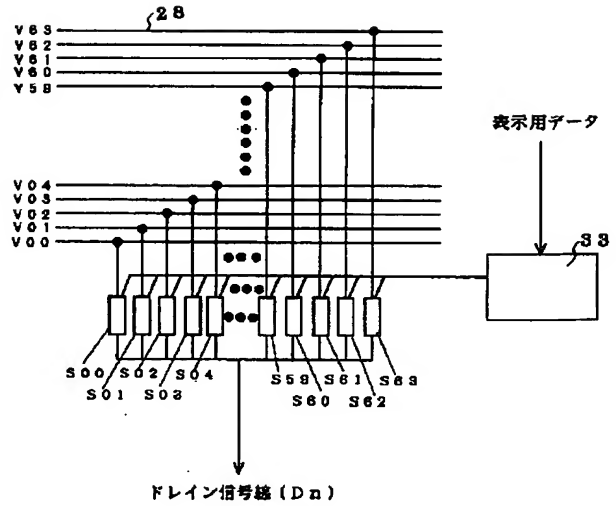


電圧差	基準電圧	基準電源端子名
V8{7}1	6	V8
V7{6}1	5	V7
V6{5}0.5	4	V6
V5{4}0.5	3.5	V5
V4{3}0.5	3	V4
V3{2}0.5	2.5	V3
V2{1}1	2	V2
V1{0}1	1	V1
	0	V0

(V) (V)

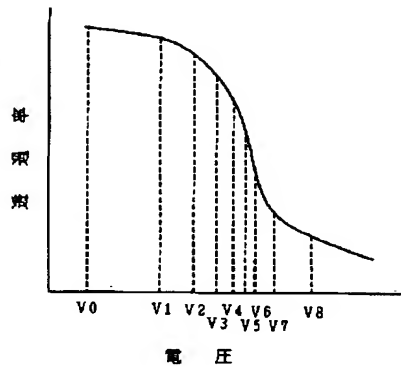
【図13】

図13



【図16】

図16



フロントページの続き

(72)発明者 尾手 幸秀

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内